

---

**TECHNICKÁ UNIVERZITA V LIBERCI**  
Fakulta mechatroniky, informatiky a mezioborových studií

Studijní program: B2612 – Elektrotechnika a informatika  
Studijní obor: 1802R022 – Informatika a logistika

## **Aplikace LabVIEW při programování FPGA**

### **Application of the LabVIEW to FPGA programming**

#### **Bakalářská práce**

Autor:	<b>Marek Hurt</b>
Vedoucí práce:	Ing. Milan Kolář, CSc.
Konzultant:	Ing. Jaroslav Vlach, PRECIOSA, a.s.

TECHNICKÁ UNIVERZITA V LIBERCI  
Fakulta mechatroniky, informatiky a mezioborových studií  
Ústav mechatroniky a technické informatiky  
Akademický rok: 2009/2010

## ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: Marek HURT

Studijní program: B2612 Elektrotechnika a informatika

Studijní obor: Informatika a logistika

Název tématu: Aplikace LabVIEW při programování FPGA

### Z á s a d y p r o v y p r a c o v á n í :

1. Prostudujte vlastnosti a možnosti práce se stavebnicí Xilinx/Digilent Spartan 3E Starter Kit a způsoby komunikace s vnějšími prostředky.
2. Seznamte se s vývojovým prostředím LabVIEW a jeho nástroji.
3. Navrhněte a odzkoušejte vybranou aplikaci pro modelové odzkoušení možností programování stavebnice Digilent Spartan 3E v prostředí LabVIEW.
4. Odzkoušejte možnosti implementace programu do systému PAC CompactRIO a vyhodnoťte vlastnosti programovacího prostředí LabVIEW pro návrh aplikací pro řízení technologického systému.

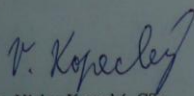
Rozsah grafických prací: dle potřeby dokumentace  
Rozsah pracovní zprávy: cca 30 stran  
Forma zpracování bakalářské práce: tištěná/elektronická

Seznam odborné literatury:

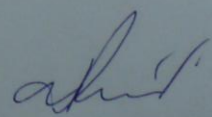
- [1] LabVIEW FPGA Module Training for Xilinx Spartan 3E, [online],  
dostupné z: <<http://zone.ni.com/devzone/cda/tut/p/id/6848>>
  
- [2] Vlach, J. a kol.: Začínáme s LabVIEW, BEN Praha 2008,  
ISBN 978-80-7300-245-9
  
- [3] Pinker, J., Poupa, M.: Číslicové systémy a jazyk VHDL; BEN Praha  
2006, ISBN 80-7300-198-5
  
- [4] Vlach, J.: Začínáme s LabVIEW, In: Sdělovací technika, 4/2008,  
s. 20 - 21
  
- [5] Webové stránky <http://www.digilentinc.com>
  
- [6] Webové stránky <http://www.ni.com/czech>
  
- [7] Webové stránky <http://www.xilinx.com>

Vedoucí bakalářské práce: Ing. Milan Kolář, CSc.  
Ústav mechatroniky a technické informatiky  
Konzultant bakalářské práce: Ing. Jaroslav Vlach  
PRECIOSA a.s., Jablonec n.N.

Datum zadání bakalářské práce: 16. října 2009  
Termín odevzdání bakalářské práce: 21. května 2010

  
prof. Ing. Václav Kopecký, CSc.  
děkan



  
doc. Ing. Petr Tůma, CSc.  
vedoucí ústavu

V Liberci dne 16. října 2009

## **Prohlášení**

Byl(a) jsem seznámen(a) s tím, že na mou diplomovou práci se plně vztahuje zákon č. 121/2000 Sb., o právu autorském, zejména § 60 – školní dílo.

Beru na vědomí, že Technická univerzita v Liberci (TUL) nezasahuje do mých autorských práv užitím mé diplomové práce pro vnitřní potřebu TUL.

Užiji-li diplomovou práci nebo poskytnu-li licenci k jejímu využití, jsem si vědom povinnosti informovat o této skutečnosti TUL; v tomto případě má TUL právo ode mne požadovat úhradu nákladů, které vynaložila na vytvoření díla, až do jejich skutečné výše.

Diplomovou práci jsem vypracoval(a) samostatně s použitím uvedené literatury a na základě konzultací s vedoucím diplomové práce a konzultantem.

Datum

Podpis

**Poděkování**

Rád bych poděkoval panu Ing. Jaroslavu Vlachovi z firmy PRECIOSA, a.s. a panu Ing. Milanu Kolářovi, CSc. za poskytnuté rady, připomínky a pomoc při vypracovávání práce.

## **Abstrakt**

Práce se zabývá vývojovým prostředím LabVIEW a možnostmi jeho použití při programování FPGA obvodů. V úvodních kapitolách práce jsou blíže popsány obvody FPGA, vývojové prostředí LabVIEW a použité hardwarové prostředky, konkrétně vývojová deska Spartan 3E Starter Kit a řídicí systém CompactRIO. Praktická část je zaměřena zejména na testování možností vývojové desky Spartan 3E Starter Kit. Hlavním cílem práce je ukázat méně používané možnosti popisu chování elektronických systémů založených na FPGA obvodech, které se standardně popisují pomocí jazyků typu HDL. Dalším cílem bylo porovnat možnosti implementace konkrétní aplikace naprogramované pro vývojovou desku Spartan 3E Starter Kit v řídicím systému CompactRIO. V závěrečné části práce jsou zhodnoceny dosažené výsledky, ukázány přednosti a nedostatky jednotlivých řešení a je naznačen směr dalšího možného vývoje.

**Klíčová slova:** FPGA, Spartan 3E Starter Kit, LabVIEW, CompactRIO, inkrementální rotační snímač

## **Abstract**

The main purpose of the Bachelor's Thesis is a development interface LabVIEW and possibilities of its use in FPGA circuits programming. In the first chapters are described the FPGA circuits, graphic interface LabVIEW and used hardware tools, specifically, a developmental board Spartan 3E Starter Kit and a control system CompactRIO. The practical part is focused on testing of the developmental board Spartan 3E Starter Kit. The main aim of the work is to show less used possibilities of electronic systems based on FPGA circuits which are commonly described by HDL languages. Furthermore, the next aim of the thesis was to compare the developmental board Spartan 3E Starter Kit in control system CompactRIO. In the last part of the document the achieved results are evaluated, advantages and disadvantages of particular solutions are showed and it is suggested a new direction for further development.

**Key words:** FPGA, Spartan 3E Starter Kit, CompactRIO, Incremental Encoders

## Obsah

Úvod.....	10
1 FPGA.....	11
1.1 Struktura obvodů.....	12
1.2 FPGA Xilinx Spartan XC3S500E.....	13
2 LabVIEW .....	14
2.1 Vývojové prostředí.....	15
2.1.1 Knihovny Controls a Functions.....	17
2.2 Ukázkový program.....	18
3 Spartan – 3E Starter Kit.....	21
3.1 Charakteristika vývojové desky .....	22
3.2 Popis vývojové desky.....	23
3.2.1 Otočný ovladač.....	23
3.2.2 LCD zobrazovač.....	23
3.3 Možnosti komunikace a programování.....	25
4 Systém PAC CompactRIO .....	26
4.1 Řídicí systém.....	26
4.2 PAC CompactRIO.....	26
5 Návrh aplikace pro vývojovou desku Spartan 3E – Starter Kit v prostředí LabVIEW	28
5.1 LabVIEW a FPGA .....	28
5.2 Založení projektu .....	28
5.3 Aplikace pro ovládání přepínače a LED diod .....	29
5.4 Aplikace pro ovládání zobrazovače .....	29
5.5 Aplikace s otočným ovladačem .....	32
5.6 Řešené problémy.....	33
6 Implementace programu do systému PAC CompactRIO.....	34
6.1 Založení projektu .....	34
6.2 Aplikace s inkrementálním rotačním snímačem.....	34
6.3 Řešené problémy.....	35
Závěr .....	36
Použitá literatura .....	38
Přílohy.....	39



## Seznam použitých obrázků

Obr. 1 Bloková struktura FPGA [3].....	12
Obr. 2 Čelní panel s otevřenou knihovnou Controls .....	16
Obr. 3 Blokový diagram s otevřenou knihovnou Functions .....	17
Obr. 4 Ukázka ovládání - čelní panel .....	19
Obr. 5 Ukázka ovládání - blokový diagram.....	20
Obr. 6 Vývojová deska Spartan - 3E Kit .....	21
Obr. 7 Inkrementální snímač .....	23
Obr. 8 Rozhraní LCD [11] .....	24
Obr. 9 Struktura řídicího systému CompactRIO [8] .....	26
Obr. 10 Výřez struktury Sequence.....	30
Obr. 11 Ikony subVI .....	31
Obr. 13 Program ovládání zobrazovače.....	31
Obr. 14 Aplikace s otočným ovladčem.....	32
Obr. 15 Inkrementální snímač Larm.....	34
Obr. 16 Čelní panel aplikace s inkrementálním snímačem .....	35

## Seznam použitých symbolů a zkratek

ASCII	<i>American Standard Code for Information Interchange</i> – Americký standardní kód pro výměnu informací
ASIC	<i>Application Specific Integration Circuit</i> – Integrovaný obvod pro specifické použití
CLB	<i>Configurable Logic Block</i> – Konfigurovatelný logický blok
CPLD	<i>Complex Programmable Logic Device</i> – Komplexní programovatelné logické pole
EEPROM	<i>Electrically EPROM</i> – Elektricky vymazatelná PROM paměť
EPROM	<i>Erasable Programmable Read-Only Memory</i> – Vymazatelná PROM paměť
FPGA	<i>Field Programmable Gate Array</i> – Programovatelné hradlové pole
GPIB	<i>General Purpose Interface Bus</i> – Víceúčelová sběrnice
HDL	<i>Hardware Description Language</i> – Jazyk popisu HW
IOB	<i>Input-Output block</i> – Vstupně-výstupní blok
LabVIEW	<i>Laboratory Virtual Instruments Engineering Workbench</i> – Laboratorní pracoviště virtuálních přístrojů
LCD	<i>Liquid Crystal Display</i> – Displej z tekutých krystalů
LED	<i>Light Emitting Diode</i> – Světloemitující dioda
LUT	<i>Look-Up table</i> – Vyhledávací tabulka
PAC	<i>Programmable Automation Controller</i> – Programovatelný automat
PAL	<i>Programmable Array Logic</i> – Programovatelné logické pole
PC	<i>Personal Computer</i> – Osobní počítač
PLC	<i>Programmable Logic Controller</i> – Programovatelný automat
PLD	<i>Programmable Logic Device</i> – Programovatelné logické zařízení
PROM	<i>Programmable Read-Only Memory</i> – Programovatelná permanentní paměť
RIO	<i>Reconfigurable Input/Output</i> – Nastavitelné vstupy/výstupy
USB	<i>Universal Serial Bus</i> – Univerzální sériová sběrnice
VHDL	<i>VHSIC Hardware Description Language</i> – Jazyk pro popis integrovaných obvodů
VHSIC	<i>Very-High-Speed Integrated Circuits</i> – Velmi rychlé integrované obvody
VI	<i>Virtual Instrument</i> – Virtuální přístroj

## Úvod

Poslední verze vývojového prostředí LabVIEW, s označením LabVIEW 2009, slouží stejně jako jeho předchůdci pro návrh řídicích, testovacích a zabudovaných (embedded) systémů. Platforma LabVIEW je vhodná pro programování vícevláknových paralelních aplikací díky svému způsobu zápisu paralelních toků. Tím usnadňuje programování například pro procesory s více jádry, anebo pro aplikace s FPGA obvody.

FPGA obvody neboli programovatelná hradlová pole, patří v dnešní době k nejvýznamnějším integrovaným obvodům s velkou hustotou integrace. Nacházejí uplatnění v širokém okruhu průmyslových odvětví, jako jsou telekomunikace, spotřební elektronika nebo automobilový průmysl. Hradlová pole pracují paralelně, díky čemuž různé operace nemusí „soupeřit“ o stejné zdroje zpracování, ale mohou běžet najednou.

V první kapitole práce budou teoreticky popsány FPGA obvody. Dále zde bude představeno prostředí LabVIEW a práce s ním. V praktické části bude prezentována práce s LabVIEW při programování FPGA obvodu. Konkrétně se jedná o obvod od firmy Xilinx Spartan 3E, obsažený ve vývojové desce Spartan 3E Starter Kit. Na několika ukázkových programech bude předveden způsob práce s tímto obvodem a periferiemi použité vývojové desky. Nakonec práce vyústí v ukázkou programování inkrementálního čidla obsaženého na této desce ve formě otočného ovladače. Tato aplikace bude přenesena do PAC systému CompactRIO pracujícího rovněž s obvodem FPGA, ke kterému bude připojeno průmyslové rotační inkrementální čidlo od českého výrobce Larm. Práce si klade za cíl ukázat jiné možnosti programování těchto obvodů, které se standardně provádí pomocí jazyků typu HDL. Dalším cílem je odzkoušet možnosti přenesení aplikace z vývojové desky Spartan 3E Starter Kit do průmyslového systému CompactRIO.

## 1 FPGA

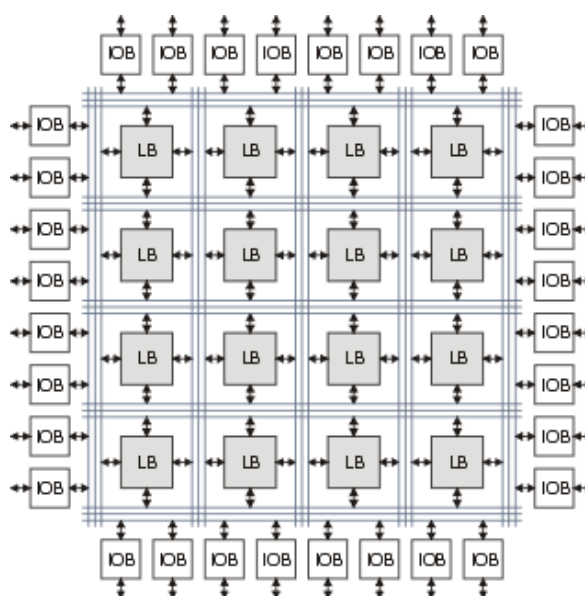
Programovatelná hradlová pole (FPGA – Field Programmable Gate Array) jsou speciální integrované obvody obsahující různě složité programovatelné bloky propojené do matice spojů. Jsou to obvody programovatelné, na rozdíl od zákaznických integrovaných obvodů (ASIC – Application Specific Integration Circuit), které slouží pouze jednomu účelu určenému při výrobě. FPGA mají na rozdíl od ASIC z pohledu uživatele kratší dobu návrhu a možnost opakovaného použití. Výhodou FPGA je také možnost dynamicky, za běhu měnit konfiguraci celého FPGA nebo jeho částí. Na druhou stranu dosahují obvody FPGA menší výkonnosti než ASIC a nevyplatí se je používat v produktech, kterých se vyrábí desetitisíce kusů.

Předchůdci obvodů FPGA jsou programovatelné paměti typu PROM (firma Radiation, 1970) a jejich zákaznický programovatelná verze EPROM (Intel, 1971) a EEPROM (Intel, 1978). Permanentní paměti však neumožňovaly příliš úspornou realizaci logické funkce, protože realizované logické funkce se jen zřídka skládají z většího množství termů, zatímco permanentní paměť obsahuje kompletní adresový dekodér. Proto se vyvinuly obvody FPLA (Signetics/Philips, 1970) obsahující dvě programovatelné matice pro realizaci součinových a součtových termů v kaskádě. Aby se dalo dosáhnout vyšší rychlosti logiky, byla součtová matice realizována jako fixní. Tak vznikly obvody PAL (Monolithic Memories, 1978) s programovatelnou maticí AND a pevnou maticí OR. Se zlepšováním technologie výroby integrovaných obvodů bylo možné vyrábět programovatelné obvody s vyšší kapacitou a realizující složitější logické funkce. Zde výrobci PLD naráželi na další obtíž – s rostoucím množstvím nezávislých proměnných v realizovatelných logických funkcích prudce rostla velikost programovatelného pole. Skládáním více PLD do jednoho pouzdra s centrální propojovací maticí vznikly obvody nazývané CPLD (Altera, 1988).

Od CPLD pak bylo blízko ke vzniku FPGA (Xilinx, 1984). Dnes dostupné FPGA se od architektur z poloviny 80. let významně odlišují. Dnešní obvody obsahují kromě elementárních programovatelných logických bloků i další komplexní podpůrné bloky [7].

## 1.1 Struktura obvodů

Obvody FPGA se skládají z tzv. logické buňky LB obvykle se čtyřmi až šesti vstupy, z nichž jsou logické funkce vytvářeny strukturou zvanou LUT (Look-Up table) připomínající malou paměť PROM používané pro generování kombinačních logických funkcí. Pro vytvoření funkcí se tyto buňky musí kombinovat, takže se pro každou funkci použije více buněk. Logické buňky se u FPGA propojují do složitějších částí nazývaných bloky CLB (Configurable Logic Block), které kromě buněk obsahují další struktury, např. pro aritmetické operace apod. Dále obvody FPGA obsahují vstupně výstupní bloky IOB. Základní bloková struktura FPGA je uvedena na Obr. 1.



Obr. 1 Bloková struktura FPGA [3]

FPGA obvody mohou rovněž obsahovat další prvky kromě výše napsaných, např. hardwarové násobičky, bloky pro úpravu hodinových signálů, bloky pro podporu sériové komunikace apod. [2],[3].

## **1.2 FPGA Xilinx Spartan XC3S500E**

Vývojová deska Spartan 3E Starter Kit, která byla při práci použita, obsahuje FPGA obvod XC3S500E od firmy Xilinx. Tento obvod je umístěn v 320pinovém pouzdru, má 232 vstupů/výstupů a obsahuje více než 10 000 logických buněk.

Obvody řady Spartan jsou rozsáhlé, vysoce výkonné obvody s širokým rozsahem použití a nízkou cenou. Obvody FPGA řady Spartan-3 jsou vyráběny technologií 90 nm. Tato řada obvodů byla odvozena od výkonnější řady Virtex určené pro náročnější aplikace.

## 2 LabVIEW

LabVIEW (Laboratory Virtual Instruments Engineering Workbench) je programovací vývojové prostředí používající programovací jazyk G (Graphical language) k vytváření programů ve formě blokových diagramů. Jedná se tedy o vývojové prostředí umožňující místo klasického textového programování vytvářet programy v grafické interpretaci pomocí různých funkcí reprezentovaných grafickými ikonami, které se dají různě spojovat pomocí virtuálních vodičů a vykreslovat pomocí virtuálních grafů, či zobrazovačů apod.

Anglický název programovacího a vývojového prostředí LabVIEW by se dal přeložit jako „laboratorní pracoviště virtuálních přístrojů“. Původně bylo prostředí LabVIEW představeno jako nástroj pro programování měřicích přístrojů, avšak postupem času se z něho vyvinula všeobecná platforma pro návrh, měření a řízení technologických procesů. Dnes je toto prostředí jedním z nejpopulárnějších pro sběr dat a řízení přístrojů.

Vývojové prostředí LabVIEW začal pro firmu National Instruments vyvíjet v roce 1983 Jeffrey Kodosky. Hlavní myšlenkou bylo vytvoření vývojového prostředí určeného pro techniky, kteří dokážou své požadavky napsat pomocí blokových diagramů, ale neumí dobře programovat v normálních textových programovacích jazycích. První verze LabVIEW byla představena v roce 1986 a byla určena pro počítače Macintosh. Pro platformu PC byla vydána první verze o rok později, v roce 1987 pod názvem LabWindows Version 1.0. Již od této verze umožňuje LabVIEW paralelní zpracování několika procesů najednou. Ačkoli je tato možnost stará přes 20 let, důležitost paralelního zpracování v současnosti stoupá s rozšířením procesorů s více jádry a kontrolérů s poli FPGA.

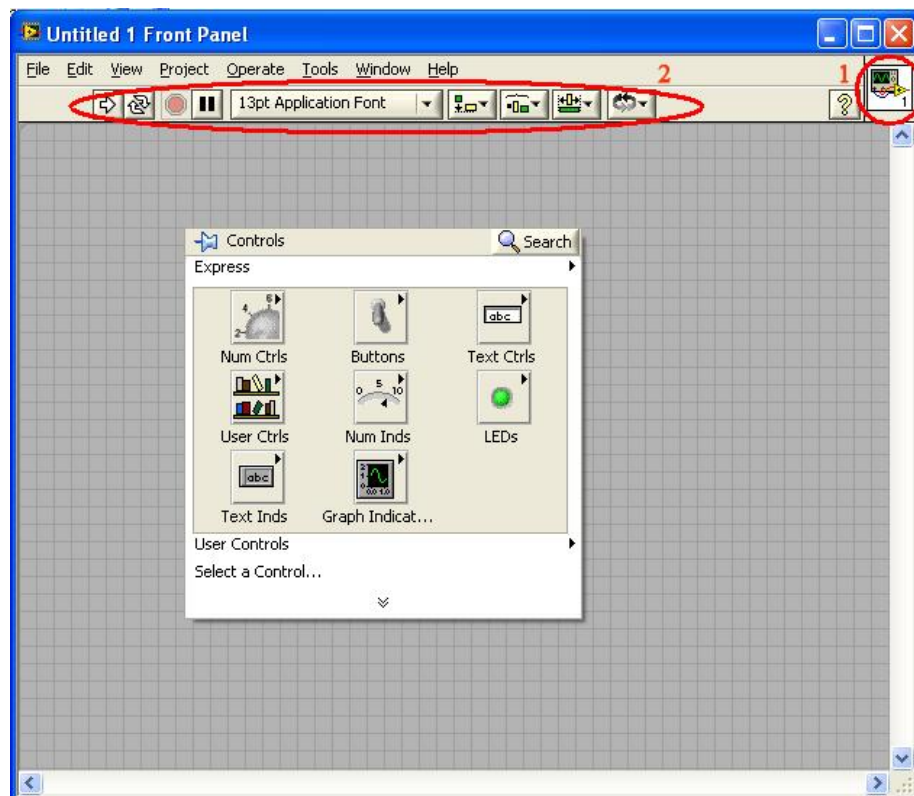
Nejnovější verze LabVIEW nese označení „LabVIEW 2009“. Tato verze přináší vylepšení, jako je rozdělení jednotlivých iterací u cyklu „For“ mezi několik jader nebo vylepšené objektově orientované programovací struktury [1],[ 9].

## 2.1 Vývojové prostředí

Vývojové prostředí LabVIEW umožňuje, aby blokové schéma bylo koncovým tvarem aplikace, který se již dále nepřevádí do textové podoby. LabVIEW je vývojovým prostředím s knihovnami pro vytváření aplikací zaměřených do oblasti měření ve všech fázích tohoto procesu - sběru, analýzy a prezentace naměřených dat. Podporuje všechny důležité způsoby sběru dat z měřicích přístrojů přes rozhraní RS 232 nebo GPIB, ze zásuvných multifunkčních karet a ze systému na bázi VXI sběrnice. LabVIEW je tedy vývojovým prostředím na úrovni např. jazyka C, ale na rozdíl od něj není orientován textově, ale graficky. Výsledný program se nazývá „virtuální instrument“, protože připomíná klasický přístroj ve fyzikální podobě a má i příponu \*.vi (Virtual Instrument).

Virtuální instrument (VI) se skládá z interaktivního grafického rozhraní, tzv. čelního panelu (Obr. 2), který simuluje přístroje. Činnost těchto přístrojů určuje blokový diagram (Obr. 3), který je zdrojovým kódem každé aplikace. VI má modulární strukturu. Dá se použít buď jako celý program, nebo rozdělit (strukturovat) do jednotlivých podprogramů, které se nazývají subVI (analogie podprogramů v textových jazycích). Každý VI je reprezentován svojí ikonou se vstupy a výstupy, která se dá použít v blokovém schématu jiného VI.



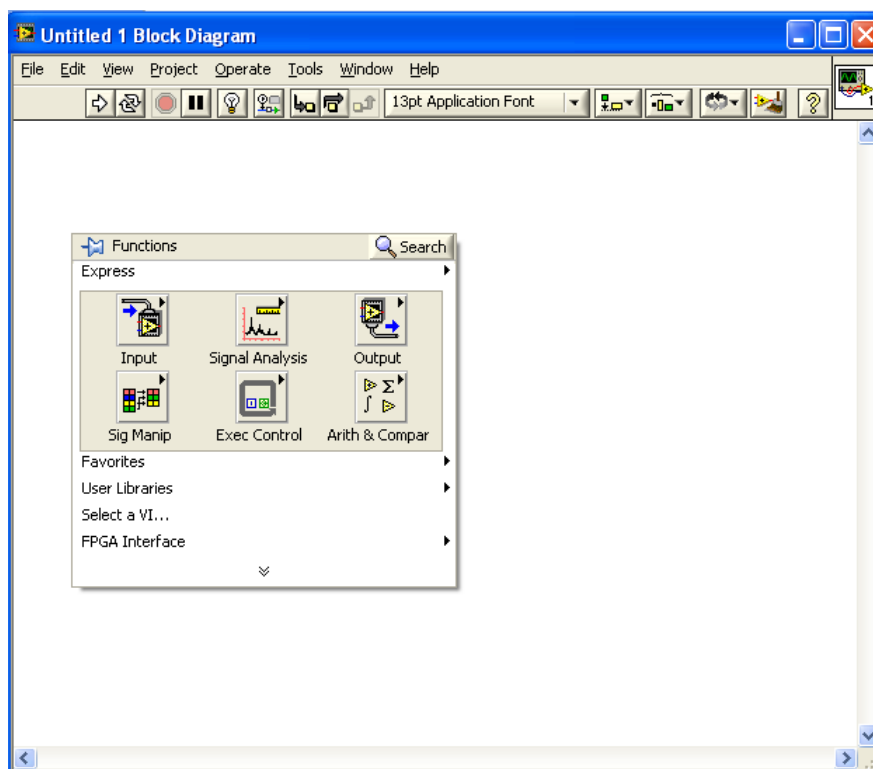


**Obr. 2 Čelní panel s otevřenou knihovnou Controls**

Na Obr. 2 jsou červeně označeny v pravém horním rohu číslem 1 ikona VI a uprostřed pod číslem 2 nástrojová lišta.

Obrázek ikony VI je velmi důležitý. Po dvojkliknutí na tuto ikonu se dá pomocí jednoduchého editoru a s pomocí obsažených obrázků vytvořit ikona, kterou se bude moci námi vytvořené VI používat v jiných VI jako subVI. Po „nakreslení“ ikony je ještě důležité nastavit počet vstupů a výstupů. To se provede po kliknutí pravým tlačítkem a volbou „Patterns“. Zde platí zásada, že vstupy se dávají na levou stranu a výstupy na pravou.

Nástrojová lišta obsahuje tlačítka pro spuštění VI, ukončení běžícího VI a zastavení. Tlačítko pro spuštění má tvar šipky. Pokud se v našem VI vyskytuje nějaká chyba, tak se tvar tlačítka se šipkou změní na přerušenou šipku a při pokusu o spuštění se vypíší konkrétní chyby v programu. Další tlačítka slouží k různému vyrovnaní objektů na ploše.



**Obr. 3 Blokový diagram s otevřenou knihovnou Functions**

Nástrojové lišta u blokového diagramu obsahuje navíc od nástrojové lišty čelního panelu tlačítka pro krokování programu, zobrazování toku dat a zachytávání hodnot.

### 2.1.1 Knihovny Controls a Functions

Hlavní část programování se provádí pomocí knihoven Controls a Functions. Knihovna Functions se vyvolá kliknutím pravého tlačítka myši na plochu blokového diagramu, knihovna Controls pak kliknutím na čelním panelu.

Knihovna Controls obsahuje všechny prvky zobrazované na čelním panelu, které jsou určeny pro řízení a ovládání VI a pro zobrazování. Tyto prvky mají tvary jako reálné přístroje, takže zde nalezneme ovladače ve tvaru tlačítek, otočných ovladačů, nebo přepínačů. Dále pak zobrazovače ve tvaru displeje osciloskopu, teploměru, či ručičkového ukazatele (Obr. 4). Tyto prvky jsou rozděleny do skupin podle jejich použití, jako například Buttons, LEDs, Num Controls apod. Mezi další zajímavé složky v menu Controls lze zařadit například složku Graph, která slouží k vkládání grafů, či .NET a ActiveX sloužící k vložení modulů z těchto platforem.

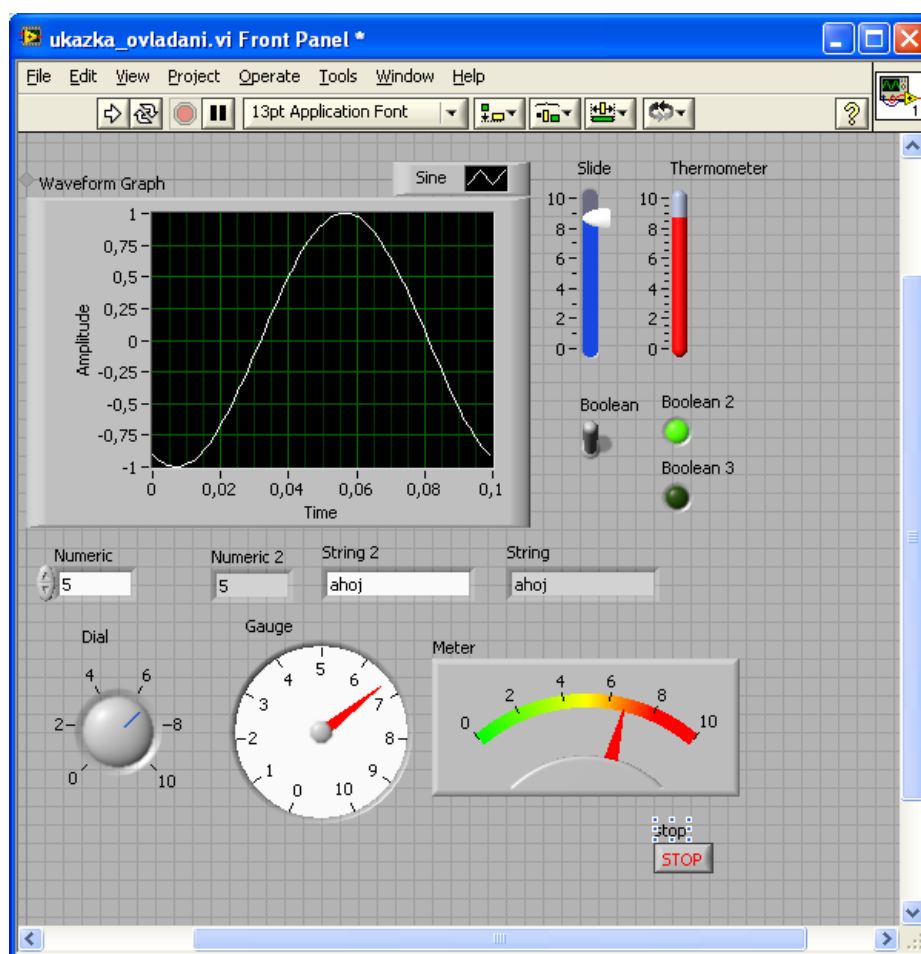
Knihovna Functions obsahuje všechny funkce, které se v LabVIEW nacházejí. Složka „Numeric“ obsahuje velký počet funkcí pro aritmetické operace, jako jsou sčítání, odčítání, násobení, dělení, inkrementace, vložení konstanty, generátoru náhodného čísla apod. Složka „Boolean“ obsahuje zase velké množství operací s logickými funkcemi, jako jsou „AND“, „OR“, „XOR“ apod. Velmi důležitou je také složka „Structures“, ze které se vkládají cykly „For“, „While“, ale také podmíněný příkaz „Case“, či funkce „Formula Node“ pro vložení vzorce přímo v textové podobě. Struktura „Sequence“ se používá tam, kde je potřeba aby se program vykonával sekvenčně.

Uvedený výčet je jen zlomkem toho, co LabVIEW dokáže. Umí také například pracovat se soubory s příponou \*.m z Matlabu, nebo s klasickými dll knihovnami.

## **2.2 Ukázkový program**

Programování se provádí, jak je uvedeno výše, velmi sofistikovaným způsobem pomocí propojování jednotlivých funkčních bloků. Nyní na jednoduchém VI budou předvedeny základní vlastnosti a práci s LabVIEW.

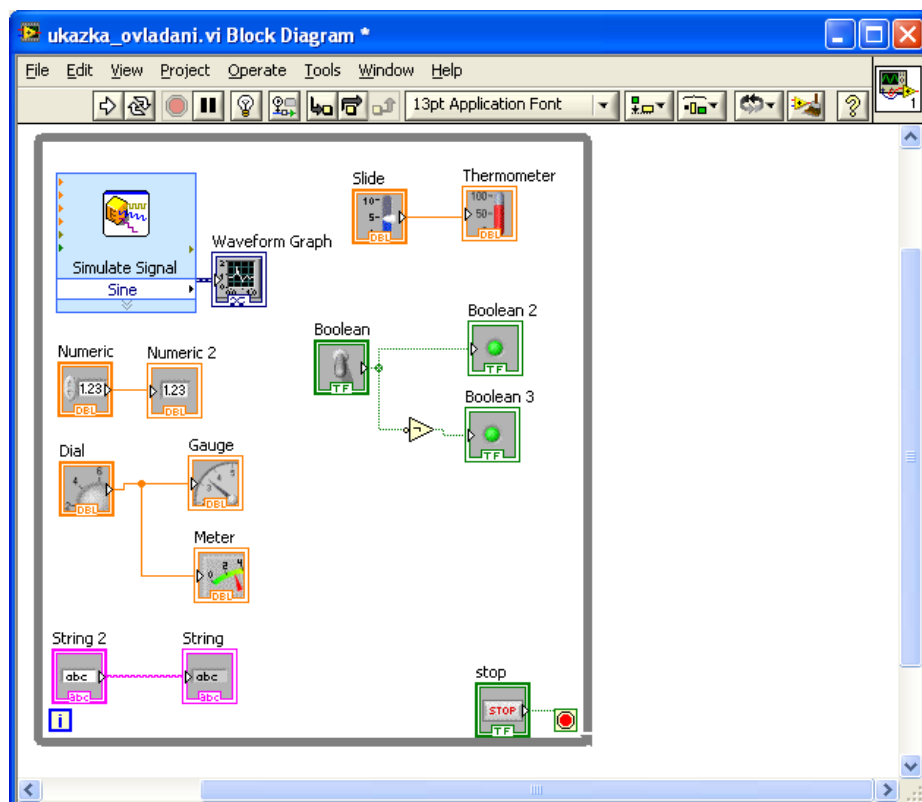
Na tomto programu je využito velké množství ovládacích a zobrazovacích prostředků prostředí LabVIEW. Obr. 4 zobrazuje čelní panel vytvořeného programu a Obr. 5 jeho blokový diagram. Program pracuje velmi jednoduše: na vstup zobrazovače grafu s názvem „Waveform Graph“ je přiveden generátor sinusového signálu. Pomocí posouvání posuvného ovladače s názvem „Slide“ se mění hodnota na zobrazovači „Thermometer“. Zobrazovače „Gauge“ a „Meter“ jsou ovládány otočným ovladačem „Dial“. Přepínačem „Boolean“ se přepíná mezi zobrazovači LED diod „Boolean 2“ a „Boolean 3“ a nakonec do pole „String 2“ se dá psát text, který je zobrazován v políčku „String“.



**Obr. 4 Ukázka ovládání - čelní panel**

V blokovém diagramu na Obr. 5 je vidět, jak jsou jednotlivé části popsané výše propojené. Ovládací prvky mají vždy ikonu obtaženou tlustější čarou a obsahují výstup vyvedený na pravé straně. Naproti tomu zobrazovací prvky jsou obtaženy slabě a obsahují vstup na levé straně. Barvy jednotlivých prvků určují jejich datový typ. Celočíselné datové typy jsou značeny modrou barvou, číselné s pohyblivou čárkou oranžovou barvou, binární zelenou a znakové typu string růžovou barvou.

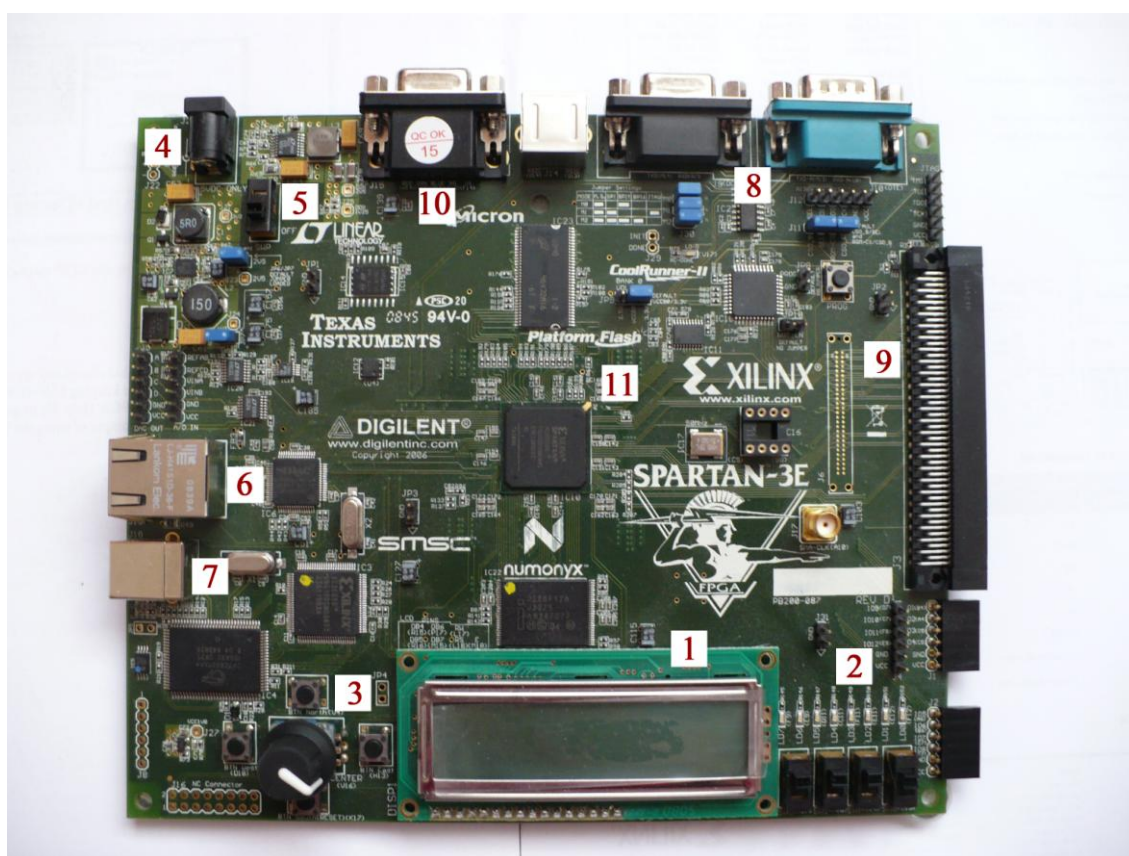
Všechny jednotlivé bloky jsou vloženy v nekonečné smyčce „While“, která se dá ukončit tlačítkem „stop“. Pokud by náš program tuto smyčku neobsahoval, provede se jen jednou a hned se ukončí.



Obr. 5 Ukázka ovládání - blokový diagram

### 3 Spartan – 3E Starter Kit

Pro realizaci této bakalářské práce byla použita vývojová deska od firmy Xilinx/Digilent s názvem Spartan - 3E Starter Kit. Jádrem této vývojové desky je obvod FPGA Xilinx XC3S500E doplněný o další periférie. Na Obr. 6 je tato vývojová deska zobrazena a jsou na ní číselně označeny: zobrazovač (1), 8 LED diod a 4 posuvné přepínače (2), tlačítka a otočný ovladač (3), konektor pro napájení (4), hlavní vypínač (5), ethernet rozhraní (6), USB rozhraní (7), sériové porty (8), Hirose 100-pin konektor (9), VGA port (10) a obvod FPGA Xilinx XC3S500E (11).



Obr. 6 Vývojová deska Spartan - 3E Kit

### 3.1 Charakteristika vývojové desky

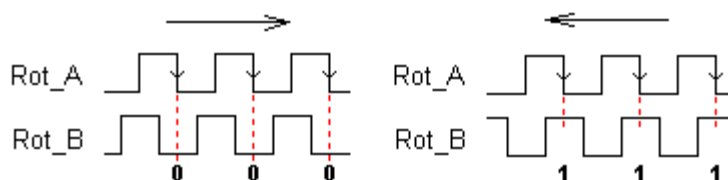
- Xilinx XC3S500E Spartan 3E FPGA
  - 232 využitelných I/O
  - pouzdro FPGA 320 pinů
  - více než 10000 logických buněk
- 8 LED
- 4 posuvné přepínače
- 4 tlačítka
- otočný spínač s tlačítkovou funkcí
- 2 RS-232 porty
- VGA výstup na displej
- PS/2 port
- LCD displej (16 znaků, 2 řádky)
- rozhraní 10/100 ethernet PHY
- 50 MHz vnitřní oscilátor
- 8 pinová DIP patice pro přídavný oscilátor
- SMA vstup pro externí zdroj kmitočtu
- 2 vstupní A/D převodníky
- 4 výstupní D/A převodníky
- USB rozhraní pro ladění
- Xilinx 4Mb Flash konfigurační paměť PROM
- Xilinx 64 makrobuněk XC2C64A CoolRunner CPLD
- 64 MB DDR SDRAM paměti, x16 datové rozhraní, 100+ MHz
- 16 MB paralelní NOR Flash paměti (Intel StrataFlash)
  - Uložení konfigurace FPGA
- 16 Mbit/s SPI seriová Flash (STMicro)

### 3.2 Popis vývojové desky

V této kapitole budou teoreticky popsány některé části vývojové desky Spartan - 3E Starter Kit. Při psaní se vycházelo z uživatelské příručky “Spartan – 3E Starter Kit Board User Guide” [5] vydané firmou Xilinx přímo pro tuto desku.

#### 3.2.1 Otočný ovladač

Jedná se v podstatě o inkrementální čidlo. Při otáčení snímače se generují dva obdélníkové signály (Rot\_A, resp. Rot\_B), které jsou navzájem posunuté o 90°. Budeme-li zkoumat při změně stavu jednoho signálu změnu stavu druhého signálu, zjistíme směr otáčení (viz Obr. 6). Tento princip se velmi často používá u elektroniky, jako jsou ovládací prvky přijímačů, televize nebo v průmyslu u snímačů otáčení, polohy apod.

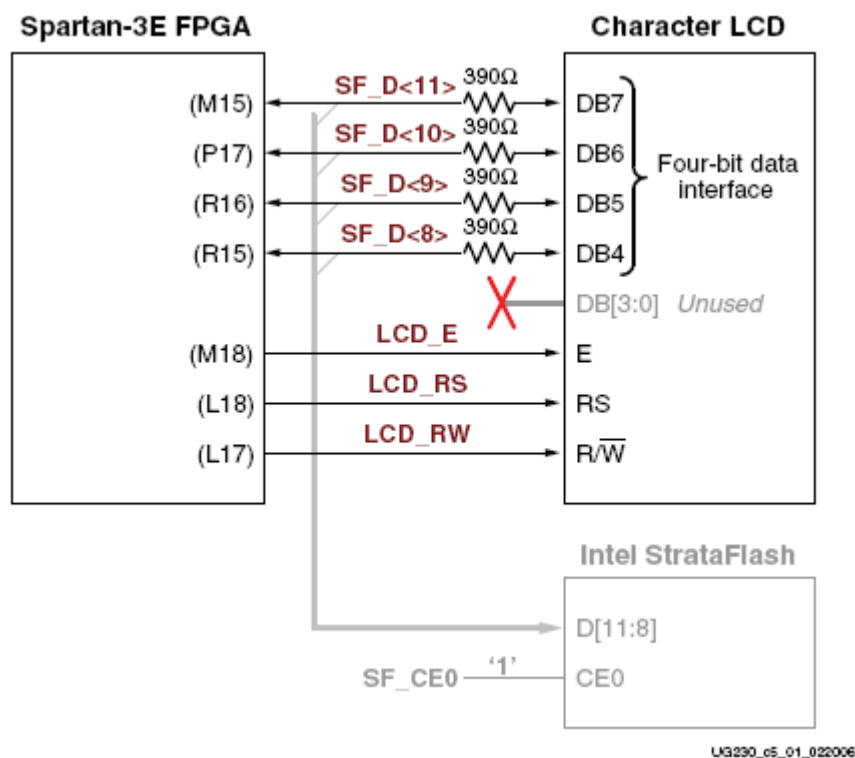


Obr. 7 Inkrementální snímač

#### 3.2.2 LCD zobrazovač

Vývojová deska Spartan 3E – Starter Kit obsahuje dvouřádkový, 16znakový zobrazovač, který se ovládá pomocí 8bitového rozhraní. K FPGA obvodu je zobrazovač připojen přes rozhraní 4bitové kvůli zajištění kompatibility s ostatními Xilinx zařízeními a pro snížení počtu použitých pinů.





Obr. 8 Rozhraní LCD [11]

Na Obr. 8 Rozhraní LCD [11] je vidět schéma zapojení zobrazovače. Bity SF\_D<8> až SF\_D<11> slouží jako datové bity rozhraní. Bit LCD\_E slouží k povolení zápisu/čtení znaku. Bit LCD\_RS může být nastaven na 0, kdy se provádí řídicí zápis do registru, resp. na 1, kdy se provede zápis/čtení znaku. Bit LCD\_RW slouží k přepínání mezi režimem zápisu a čtení.

Pokud je tedy bit LCD\_RS nastaven na 0, tak potom nepřistupujeme k zápisu, resp. čtení zobrazovače, ale nastavuje se chování zobrazovače jako např. blikání kurzoru, vyčištění zobrazovače, automatická inkrementace pozice na zobrazovači apod. Všechny tyto řídicí příkazy jsou uvedeny v příručce pro vývojovou desku [5].

Pokud jsou bity LCD\_E a LCD\_RS nastaveny na 1 a bit LCD\_RW na 0, potom 8bitová binární hodnota zapsaná na dvakrát přes 4bitové rozhraní značí konkrétní znak v ASCII kódu. Inicializace, konfigurace a práce se zobrazovačem bude uvedena a vysvětlena u ukázkového programu v kapitole 5.4.

### **3.3 Možnosti komunikace a programování**

Vývojová deska Spartan 3E – Starter Kit se k počítači připojuje přes rozhraní USB. Obsahuje také konektory pro připojení přes ethernet, 2 sériové porty RS-232 a další konektory. Při naší práci bylo využíváno pouze připojení přes USB.

Programování FPGA obvodů se standardně provádí pomocí jazyka VHDL. Jedná se o jazyk určený pro popis a simulaci číslicových obvodů a systémů, jako jsou právě obvody FPGA či zákaznické obvody. Patří do skupiny jazyků pro popis hardware označovaných jako HDL. Výhodou jazyka VHDL je nezávislost navrženého číslicového systému na cílové technologii. Konkrétně pro FPGA od firmy Xilinx se používá software ISE Design Suite, který se dá zdarma stáhnout přímo ze stránek firmy Xilinx. V této práci však budeme s FPGA obvody pracovat ve vývojovém prostředí LabVIEW.

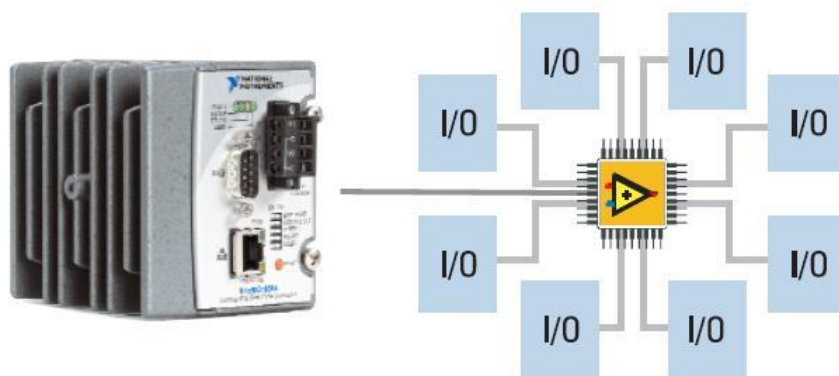
## 4 Systém PAC CompactRIO

### 4.1 Řídicí systém

Pojem řídicí systém je pojmenování pro systém, který se zabývá zpracováním informací, rozhodováním a řízením. Prvními řídicími systémy byly systémy PLC – programovatelné logické automaty. Na počátku svého vzniku tyto systémy pracovaly s omezeným sortimentem instrukcí a daly se pomocí nich řešit pouze úlohy logického typu. Později se začaly používat mikropočítače a jejich možnosti se rozšiřovaly. S rozvojem osobních počítačů se jejich základem stal specializovaný program – vývojový systém. S rostoucím počtem instrukcí a možností řešit komplikovanější úlohy se pro odlišení od „omezenějších“ PLC začal pro tyto obvody používat termín PAC (Programmable Automation Controller). Označení PAC používá také řídicí systém od firmy National Instruments CompactRIO (RIO = Reconfigurable Input/Output).

### 4.2 PAC CompactRIO

Tento systém se skládá ze dvou hlavních částí. První část je tvořena vestavěným (embedded) procesorem s operačním systémem reálného času. Druhá část tohoto systému obsahuje obvod FPGA, který řídí sběrnici mezi jednotlivými vstupními a výstupními moduly a mezi řídicí jednotkou. Jedná se o modulární systém. To znamená, že se k základní části – sběrnici s obvodem FPGA připojí řídicí jednotka a dále pak vstupní a výstupní moduly. Sběrnice se vyrábějí buď jako čtyřpozicové nebo osmipozicové.



Obr. 9 Struktura řídicího systému CompactRIO [8]

V našem případě byla použita čtyřpozicová sběrnice cRIO NI-9101 osazená FPGA obvodem od firmy Xilinx typu Virtex-II. K této sběrnici je připojena řídicí jednotka cRIO NI-9002 která má procesor taktovaný na 195 MHz a pracuje s operačním systémem reálného času od firmy Wind River označeným VxWorks. Jako vstupní port byl použit diferenciální vstupní modul s označením NI 9411 [6],[ 8].

## **5 Návrh aplikace pro vývojovou desku Spartan 3E – Starter Kit v prostředí LabVIEW**

### **5.1 LabVIEW a FPGA**

Pro programování FPGA v LabVIEW je potřeba mít nainstalované prostředí LabVIEW verze 8.5 nebo vyšší včetně rozšiřujícího modulu FPGA. Dále se musí doinstalovat podpora pro vývojovou desku Spartan-3E Starter Kit, kterou je možno stáhnout ze stránek National Instruments [5].

### **5.2 Založení projektu**

Pro práci s vývojovou deskou Spartan 3E Starter Kit je potřeba mít nainstalované výše popsané moduly, dále je potřeba ji přes adaptér 5V připojit do sítě, přes USB do počítače a zapnout napájení vývojové desky posuvným přepínačem. Pokud vše proběhlo v pořádku, počítač zjistí, že je připojena tato deska, můžeme spustit prostředí LabVIEW a založit nový projekt. Na úvodní obrazovce LabVIEW, která se nazývá „Getting Started“, klikneme na „New Empty Project“. Takto se zakládá i normální LabVIEW projekt. Je proto potřeba specifikovat, že tento má pracovat se zařízením Spartan 3E Starter Kit. Klikneme tedy pravým tlačítkem na záložku „My Computer“ a v záložce „New“ vybereme položku „Targets and Devices“. Zde překlikneme z „Existing Targets and Devices“ na „New Target, or Device“, a pokud jsme všechny programové moduly pro naši desku nainstalovali správně, v seznamu se objeví složka s názvem „Xilinx University Program“ obsahující „Spartan-3E Starter Board“. Potvrdíme výběr kliknutím na tlačítko OK a v projektovém okně přibude odrážka „FPGA Target“. Na tu klikneme pravým tlačítkem, vybereme „New VI“, otevře se okno čelního panelu a blokového diagram. Nyní můžeme začít programovat.

Po otevření knihovny „Functions“ v okně blokového diagramu si můžeme všimnout, že obsahuje mnohem méně záložek než u klasického VI. To je dáno omezenějšími možnostmi FPGA obvodu. S jednotlivými vstupy a výstupy se pracuje přes „I/O Node“, který se nachází v knihovně „Functions“ v záložce „FPGA I/O“. Když klikneme na tuto ikonu pravým tlačítkem a zvolíme „Add New FPGA I/O“,

otevře se okno se všemi vstupy a výstupy, které vývojová deska Spartan 3E Starter Kit obsahuje a se kterými můžeme pracovat [10].

### **5.3 Aplikace pro ovládání přepínače a LED diod**

První aplikací, na které bude předveden způsob programování a práce s vývojovou deskou Spartan 3E Starter Kit, je aplikace, která slouží k postupnému rozblikání vždy jedné z osmi LED diod obsažených na vývojové desce. Pomocí posuvného přepínače se bude přepínat mezi blikáním a trvalým svícením všech LED diod a hodnotou vloženou do časovače se určí čas, po který mají jednotlivé diody svítit.

VI k tomuto programu je obsaženo v Příloha A“. Celý program je vložen v nekonečné smyčce „While“. Délka jednoho vykonání smyčky je určena časovačem, ke kterému je připojena proměnná, kterou můžeme za běhu měnit, a tím určovat délku svícení diod v milisekundách. Samotné rozsvícení diod je realizováno ve struktuře „Case“, která je řízena posuvným přepínačem. Když je přepínač v sepnuté poloze, tak je zapnuto blikání, když v rozepnuté, tak všechny diody pouze svítí. Samotné blikání LED diod je realizováno pomocí „Shift Registeru“, který posouvá log. 1 postupně mezi jednotlivé diody. Pro názornost je v Příloze A vložen blokový diagram jak se zobrazenou možností TRUE, tak s možností FALSE. Čelní panel obsahuje pouze okénko pro vložení hodnoty časovače a tlačítko stop pro ukončení běžícího programu.

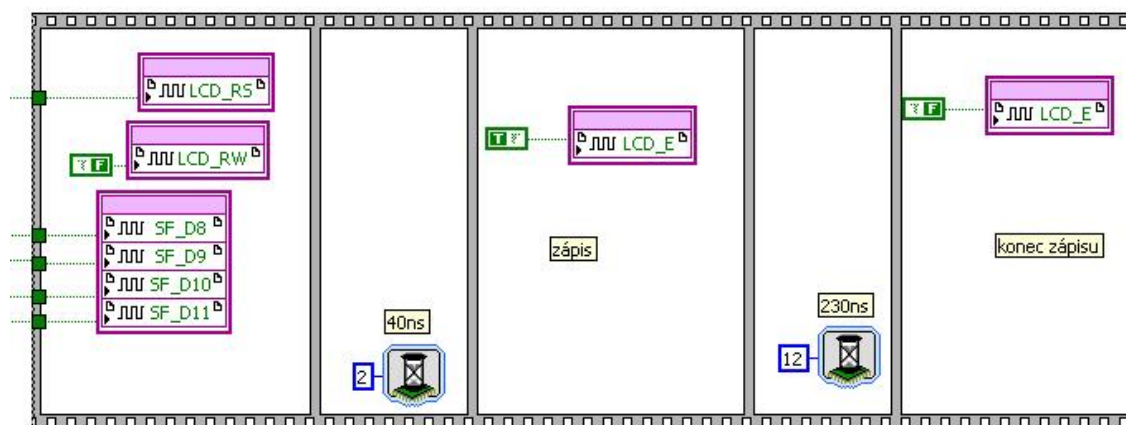
### **5.4 Aplikace pro ovládání zobrazovače**

Aplikace pro ovládání zobrazovače byla vytvořena pomocí příručky User Guide [5], která obsahuje všechny informace o použité vývojové desce. Funkce zobrazovače a jeho jednotlivé řídicí a datové bity byly již popsány v kapitole o desce Spartan 3E Starter Kit. Zde bude popsán způsob inicializace a konfigurace a následné vytvořené VI.

Nejprve bylo nutné naprogramovat subVI, které bude řešit zápis 8bitových dat přes 4bitové rozhraní. To se vyřeší tak, že se pošlou nejprve horní 4 bity, potom následuje 1  $\mu$ s časová mezera, a pak se odešlou dolní 4 bity. Mezi další komunikací

musí následovat pauza alespoň 40  $\mu$ s. Zároveň musí být během posílání jednotlivých bitů nastaven řídicí bit LCD\_E na 1 na dobu nejméně 230 ns.

K programování příkazů, které následují takto za sebou, je vhodné použít strukturu Sequence, která má vzhled „kinofilmu“. V jednotlivých rámečcích jsou obsaženy příkazy, které se mají v jednotlivém kroku udělat. Na Obr. 10 je znázorněn výřez struktury Sequence v subVI sloužícímu k zápisu do zobrazovače. Růžové rámečky jsou FPGA I/O Node, do kterých jsou vloženy jednotlivé vstupy zobrazovače. Obrázek přesýpacích hodin značí časovou smyčku pracující s 50MHz oscilátorem obsaženým na desce. Hodnoty smyčky se nastavují vložením konstanty na její vstup. Při vkládání smyčky se zvolí, jestli vložená konstanta má představovat hodnotu v milisekundách, mikrosekundách, nebo v hodinových cyklech. Jeden cyklus při 50 MHz má délku 20 ns. Obrázek celého subVI, které realizuje zápis znaku do zobrazovače, je příliš velký, proto je obsažen v Příloha B.



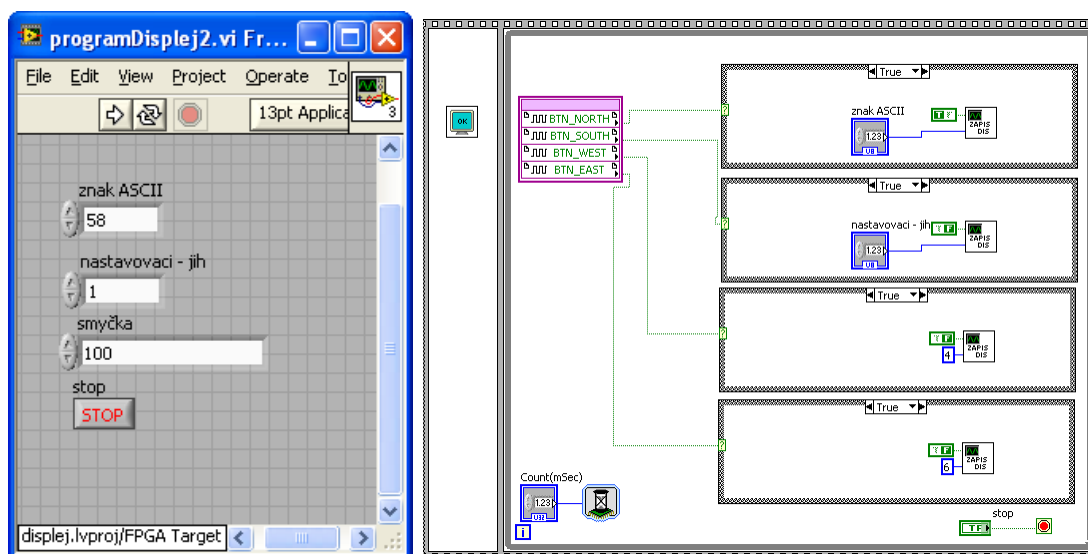
Obr. 10 Výřez struktury Sequence

Když bylo subVI pro komunikaci hotové, bylo ještě potřeba vyřešit inicializaci a konfiguraci zobrazovače. Při inicializaci se specifikuje, že se bude s FPGA komunikovat přes 4bitové rozhraní. Potom se v konfigurační části nastaví základní nastavení, jako je informace o tom, že se jedná o 2řádkový 16znakový zobrazovač, následně se zobrazovač vynuluje. SubVI s inicializací a konfigurací je zobrazeno v Příloha C. Se subVI pro komunikaci a konfiguraci už nebyl problém ovládat displej. Ikony těchto dvou subVI jsou zobrazeny na Obr. 11.



Obr. 11 Ikony subVI

Pro účely této práce vznikla jednoduchá aplikace, u které se na počítači nastaví hodnota znaku v decimální podobě ASCII kódu a pomocí tlačítka na vývojové desce se odešle na zobrazovač, kde se zobrazí příslušný znak. Výsledný program a jeho blokový diagram je zobrazen na Obr. 12. Do políčka znak ASCII se vloží hodnota znaku, který chceme odeslat a tlačítkem NORTH na vývojové desce ho odešleme. Tlačítka EAST a WEST se určí směr inkrementace pozice na zobrazovači doprava, resp. doleva. Pro tlačítko SOUTH můžeme posílat hodnoty sloužící k nastavování, v tomto případě je vložena hodnota 1, což způsobí smazání zobrazovače.



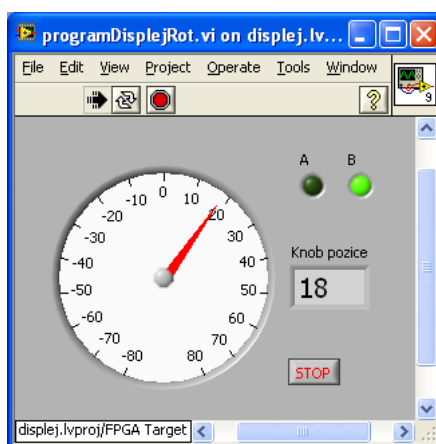
Obr. 12 Program ovládání zobrazovače



## 5.5 Aplikace s otočným ovladačem

Tato aplikace ukazuje způsob programování inkrementálního čidla, kterým v podstatě je i otočný ovladač obsažený na vývojové desce Spartan 3E Starter Kit.

Pro tuto aplikaci bylo vhodné zvolit místo klasické nekonečné smyčky „While“ smyčku „Timed loop“, která pracuje s vnitřními hodinami FPGA. Díky tomu můžeme při každém hodinovém cyklu zkoumat, v jaké pozici se právě nacházejí výstupy z otočného ovladače. Blokové schéma tohoto programu je obsaženo v Příloze C. Výstupy z otočného ovladače generované při otáčení se nazývají ROT\_A a ROT\_B. Třetí výstup, který je generovaný při stisknutí otočného ovladače se nazývá ROT\_CENTER. Program pracuje následovně: při každém hodinovém cyklu se zkoumá, jaké jsou hodnoty na ROT\_A, ROT\_B a jaké byly hodnoty v minulém cyklu. Tyto hodnoty jsou potom vyhodnocovány pomocí hradel XOR a OR. Pomocí hradla XOR zjistíme, jestli došlo ke změnám hodnot ROT\_A a ROT\_B mezi tímto hodinovým cyklem a cyklem minulým. Pokud nedošlo ke změnám hodnot, tak nedošlo k otočení ovladače a hodnota určující polohu natočení ovladače se nemění. Pokud došlo ke změně, tak se provede podle směru otočení inkrementace, resp. dekrementace hodnoty. Během každého cyklu smyčky ještě zkoumáme, jestli nedošlo ke stisknutí ovladače. Pokud ano, tak se tím nastaví současná poloha ovladače jako nová výchozí, tzn., že se nastaví na 0. Čelní panel této aplikace je zobrazen na Obr. 13. Tento čelní panel obsahuje pouze údaj o hodnotě natočení zobrazený jak číselně, tak graficky pomocí ručičkového budíku. LED diody s názvy A a B zobrazují generované hodnoty na ROT\_A, resp. ROT\_B.



Obr. 13 Aplikace s otočným ovladačem

## 5.6 Řešené problémy

Již při instalaci se vyskytl první problém, a tím byla absence modulu FPGA v trial verzi LabVIEW 2009. I po aktivaci školní licencí se ze stránek National Instruments tento modul nedal nikde stáhnout. Bylo tedy nutné sehnat instalační DVD a tento modul z něj doinstalovat. Při programování FPGA obvodu v LabVIEW je potřeba si každou kompilaci a nahrání programu do obvodu řádně rozmyslet, protože při sebemenší změně programu se znovu spustí kompilační proces, který trval v průměru 10-15 minut. Při programování ovládání zobrazovače se vyskytla řada problémů, které většinou vznikaly nedostatečnou zkušeností s prací v tomto vývojovém systému. U aplikace s otočným zobrazovačem bylo nejtěžší vymyslet, jakým způsobem vyhodnocovat generované signály. Ty byly nejprve vyhodnocovány pomocí „vyhlazení“ signálu pomocí časové smyčky. Při tomto způsobu ale docházelo ke ztrátám impulzů. Nakonec se jako mnohem vhodnější jevílo použití smyčky „Timed loop“ a vyhodnocování impulzů pomocí porovnávání s minulou hodnotou. LabVIEW obsahuje velký počet užitečných ukázkových příkladů různých aplikací.

## 6 Implementace programu do systému PAC CompactRIO

### 6.1 Založení projektu

Pro programování systému CompactRIO v prostředí LabVIEW je potřeba mít doinstalován kromě modulu LabVIEW FPGA také modul LabVIEW Real-Time. Systém CompactRIO se připojuje k počítači pomocí ethernetu.

Nový projekt se zakládá stejně jako v případě vývojové desky Spartan 3E Starter Kit. Jediný rozdíl je, že musíme navolit, jaké moduly jsou k systému CompactRIO připojeny. Ty můžeme buď navolit ručně, nebo pokud je systém CompactRIO správně připojen k počítači, tak je LabVIEW detekuje samo automaticky. Systém CompactRIO je založen na kombinaci procesoru s operačním systémem reálného času a FPGA společně s průmyslovými I/O moduly. Vlastní programování můžeme provádět jak pro procesor s operačním systémem reálného času, tak pro obvod FPGA. Procesor se většinou využívá pro řešení úloh nižší priority, obvod FPGA potom pro početně náročnější úlohy. Obvod FPGA je umístěn na základní sběrnici celého systému, zprostředkovává tak rovněž komunikaci mezi jednotlivými moduly.

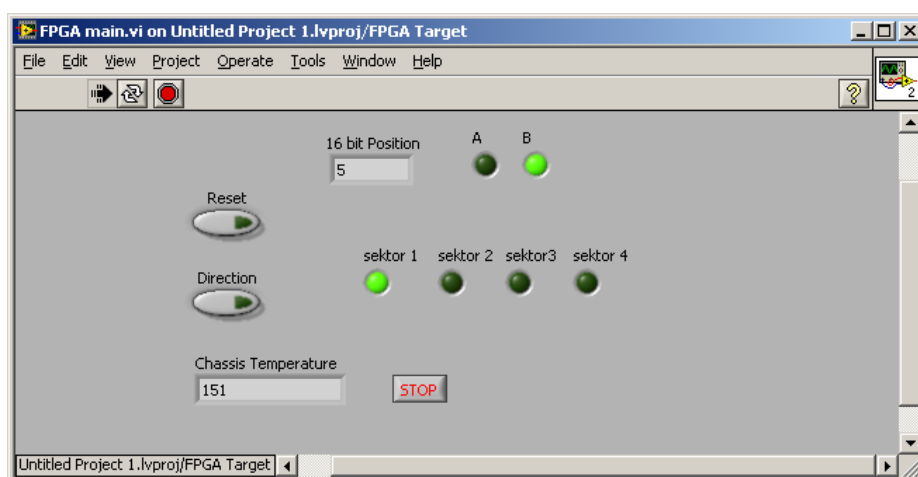
### 6.2 Aplikace s inkrementálním rotačním snímačem

Práce s inkrementálním snímačem byla prováděna přímo v sídle společnosti PRECIOSA a.s., kde bylo pro tyto účely zřízeno modelové pracoviště s připojeným řídicím systémem, který se skládal z čtyřpozicové sběrnice cRIO-9101, ke které byla připojena řídicí jednotka cRIO-9002 a modul diferenciálního digitálního vstupu NI-9411. K diferenciálnímu vstupu byl připojen snímač od firmy Larm zobrazený na Obr. 14. Tento snímač pracuje na stejném principu, jaký je vysvětlen u otočného ovladače u vývojové desky Spartan 3E Starter Kit. Hlavní rozdíl je ve větším počtu impulzů na otáčku.



Obr. 14 Inkrementální snímač Larm

Po úspěšném založení projektu v LabVIEW bylo vytvořeno nové VI, které pracuje s obvodem FPGA. Do tohoto VI byl vložen blokový diagram z aplikace pro ovládání otočného ovladače původně odzkoušené na vývojové desce Spartan 3E Starter Kit. Zde stačilo pouze nahradit výstupní signály z vývojové desky (ROT\_A a ROT\_B) za signály vycházející z inkrementálního rotačního snímače a vedoucí do modulu NI-9411. Zde mají tyto vstupy názvy Mod4/DI0 a Mod4/DI1, kde Mod4 znamená, že pracujeme s modulem vloženým do 4. pozice sběrnice, DI0, resp. DI1 značí číslo pinu konektoru. Po zkompilování a nahrání programu do systému CompactRIO aplikace ihned fungovala. Nakonec byla tato aplikace ještě doplněna o 4 zobrazovače ve stylu LED diod (sektor 1 – sektor 4), které se postupně rozsvěcejí podle polohy, na které se nachází inkrementální snímač. Blokový diagram je obsažen v Příloha E.



Obr. 15 Čelní panel aplikace s inkrementálním snímačem

### 6.3 Řešené problémy

Při implementaci programu do systému CompactRIO bylo jediným problémem správně určit použité výstupní piny na konektoru, kterým byl připojen snímač. Tím, že bylo pracoviště předem připraveno, se nemuselo řešit připojení systému CompactRIO k počítači, ani případné problémy s tím spojené.

## **Závěr**

Téma této práce vzniklo ve spolupráci s firmou PRECIOSA a.s. se sídlem v Jablonci n. N. Tato společnost, konkrétně její odbor Realizace výzkumu elektro, dlouhodobě spolupracuje s Fakultou mechatroniky, informatiky a mezioborových studií mimo jiné formou zadávání témat bakalářských a diplomových prací. Studenti tak získávají poznatky přímo z praxe a společnosti PRECIOSA a.s tím pomáhají ke zlepšení a zefektivnění výsledků její činnosti.

V první části práce je teoreticky vysvětlena struktura a funkce FPGA obvodů. Dále je zde podrobně popsána vývojová deska Spartan 3E Starter Kit a řídicí systém CompactRIO. Jedna kapitola je také věnována vývojovému systému LabVIEW. Na ukázkové aplikaci s vloženým velkým množstvím ovládacích a zobrazovacích prvků byla vysvětlena práce s LabVIEW, konkrétně s verzí LabVIEW 2009. Nejtěžší při pracování s LabVIEW bylo pro mne zvyknout si na odlišný způsob psaní programů oproti klasickému textovému způsobu. Platforma LabVIEW nabízí mnoho zajímavých možností pro práci s obvody FPGA. K hlavním nevýhodám při práci s FPGA patří dlouhá doba překládání programu a kompilace. Ta probíhá u jednodušších programů cca 5 minut, ale u složitějších se tato doba může vyšplhat do desítek minut. Práce byla prováděna na počítači s procesorem Intel Core-Duo 2GHz s 2GB DDR2 RAM.

Hlavním cílem práce bylo zjistit a popsat možnosti programování FPGA obvodů v prostředí LabVIEW. Práce byla realizována konkrétně na vývojové desce Spartan 3E Starter Kit od firmy Xilinx/Digilent. Neméně významným cílem práce bylo seznámení s vývojovým prostředím LabVIEW, dále pak ověření možnosti práce s vývojovou deskou Spartan 3E Kit v prostředí LabVIEW. Nakonec tato práce zkoumala možnosti implementace modelové aplikace určené pro vývojovou desku Spartan 3E Starter Kit do průmyslového řídicího systému CompactRIO. Cíle práce se podařilo splnit.

Pro ukázání možností programování vývojové desky Spartan 3E Starter Kit byla vytvořena aplikace představující jednoduchou „blikačku“ z obsažených LED diod, dále pak aplikace pro ovládání zobrazovače obsaženého na vývojové desce a program pro práci s otočným ovladačem. Tato aplikace byla přenesena do řídicího systému CompactRIO, ve kterém byl otočný ovladač nahrazen průmyslovým inkrementálním

snímačem. Zjistil jsem tak, že aplikaci vytvořenou pro vývojovou desku Spartan 3E Starter Kit, která se dá pořídit za cca 130€, není žádný problém přenést do řídicího systému CompactRIO s cenou několikanásobně větší.

Na tuto práci by bylo vhodné navázat např. diplomovou prací, která by rozvedla danou problematiku více do hloubky a vytvořila pro praxi další možné aplikace.

## Použitá literatura

- [1] AUTOMATIZACE – AD. Více než 20 let inovací LabVIEW. *Automatizace*. říjen 2007, roč. 50, č. 10, s. 673-674.
- [2] *Control engineering* [online]. 2010 [cit. 2010-04-25]. Výhody polí FPGA. Dostupné z: <<http://www.controlengcesko.com/>>.
- [3] *HW* [online]. 2002 [cit. 2010-1-3]. Nebojte se FPGA. Dostupné z: <<http://hw.cz/Teorie-a-praxe/Dokumentace/ART365-Nebojte-se-FPGA.html>>.
- [4] *National Instruments* [online]. 2009 [cit 2010-5-10]. LabVIEW FPGA Compilation Process: From Run Button to Bitfile. Dostupné z: <<http://zone.ni.com/devzone/cda/tut/p/id/9381>>.
- [5] *National Instruments* [online]. 2010 [cit 2010-04-28]. Download Link for the LabVIEW FPGA driver for Xilinx SPARTAN 3E Starter Board (Academic only). Dostupné z: <<http://digital.ni.com/express.nsf/bycode/spartan3e>>.
- [6] ŠMEJKAL, L.: Vývojové systémy pro PLC a PAC – přehled trhu. *Automatizace*. Březen 2007. roč. 50, č. 3, s. 208.
- [7] ŠŤASTNÝ, J.: Programovatelná hradlová pole. *Automatizace*. leden 2008, roč. 51, č. 1, s. 9.
- [8] VALA, R.: RIO – revoluce v měření, řízení a automatizaci, *Automa*. Únor 2006. roč. 12, č. 3-4.
- [9] VLACH, J.: a kol. *Začínáme s LabVIEW*. Praha: BEN, 2008. ISBN 978-80-7300-245-9.
- [10] VLACH, J.: Stavebnice FPGA Xilinx/Digilent Spartan-3E Starter Kit a LabVIEW. *Sdělovací technika*. duben 2010, č.4, s. 27-29. ISSN 0036-9942.
- [11] *Xilinx* [online]. 2008 [cit. 2010-02-23]. Xilinx UG230 Spartan-3E FPGA Starter Kit Board User Guide. Dostupné z: <[http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug230.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf)>.

## **Přílohy**

Příloha A – Blokový diagram k programu „blikacka“

Příloha B – Komunikace se zobrazovačem

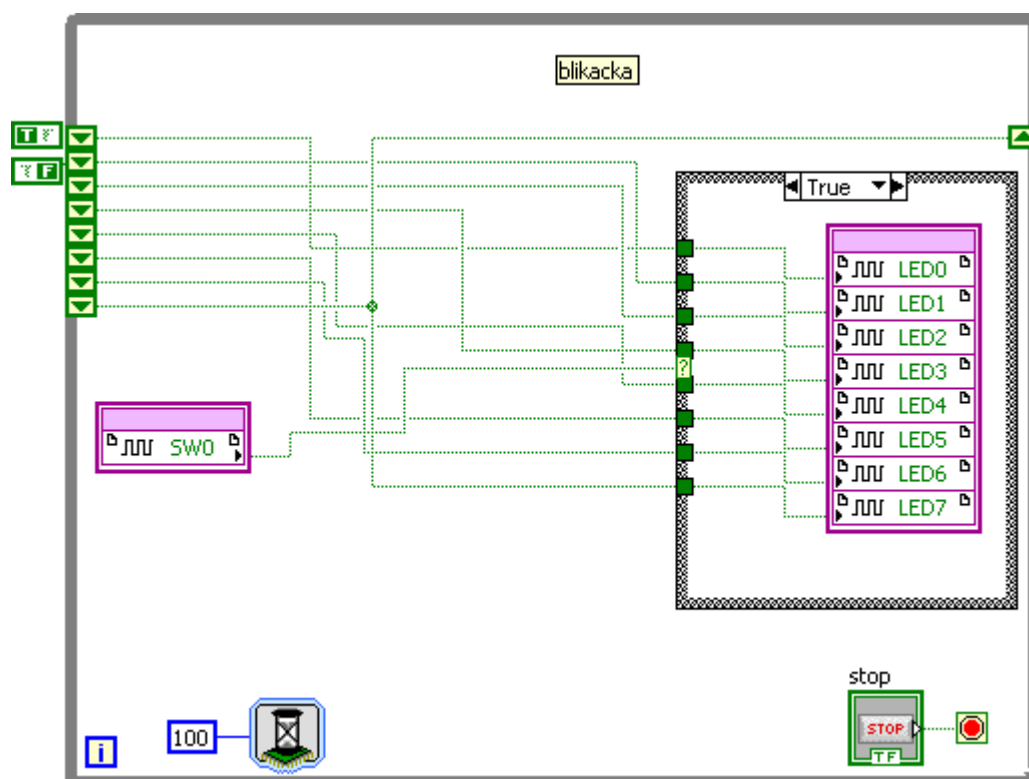
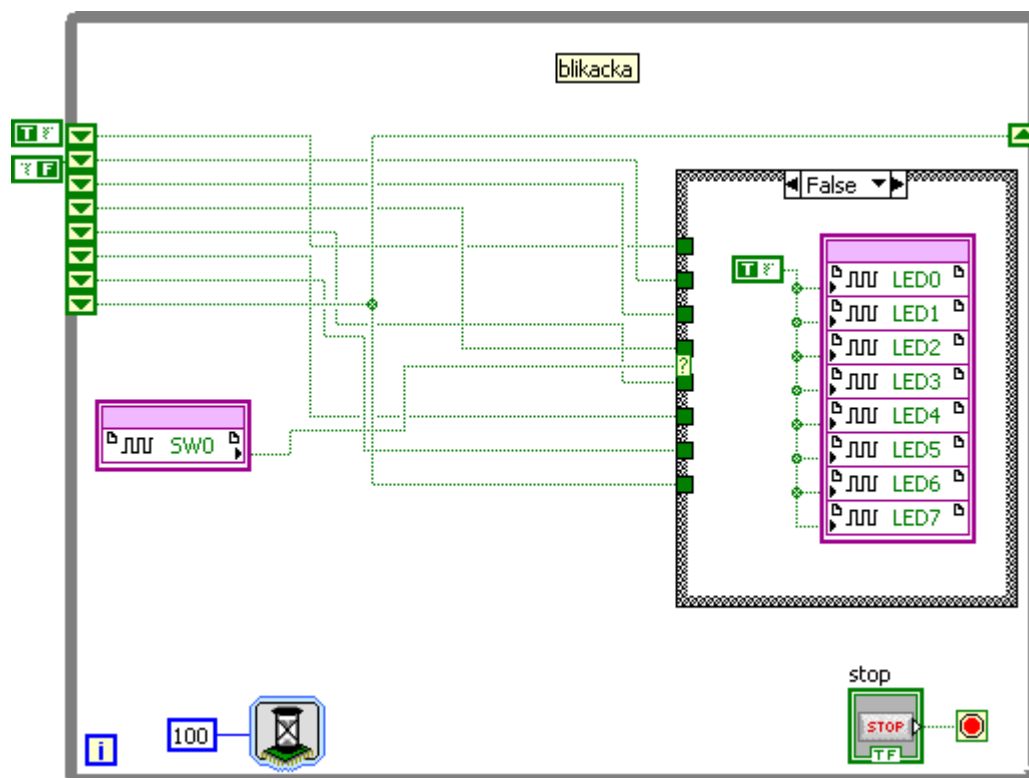
Příloha C – Konfigurace a inicializace zobrazovače

Příloha D – Aplikace s otočným ovladačem (Spartan 3E Starter Kit)

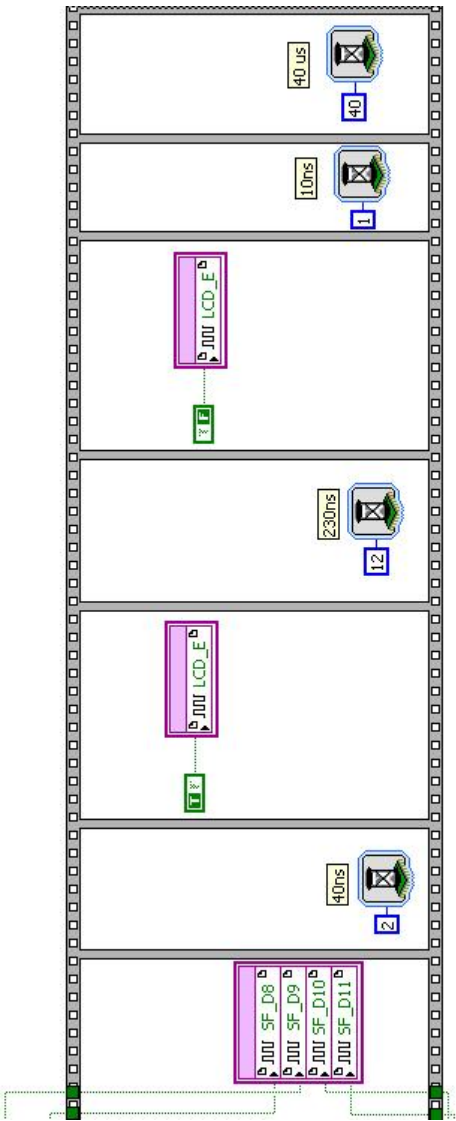
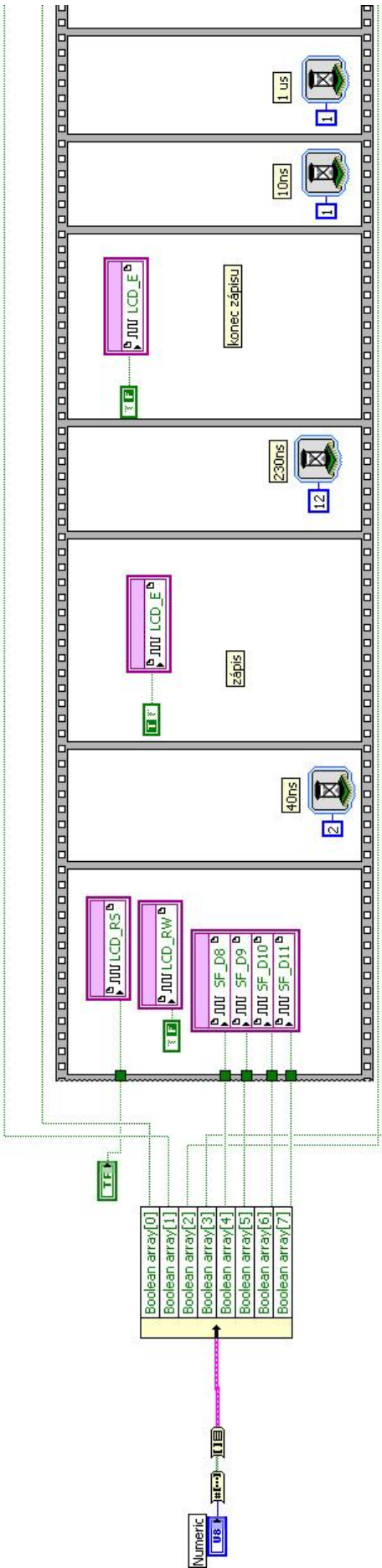
Příloha E – Aplikace i inkrementálním snímačem (CompactRIO)



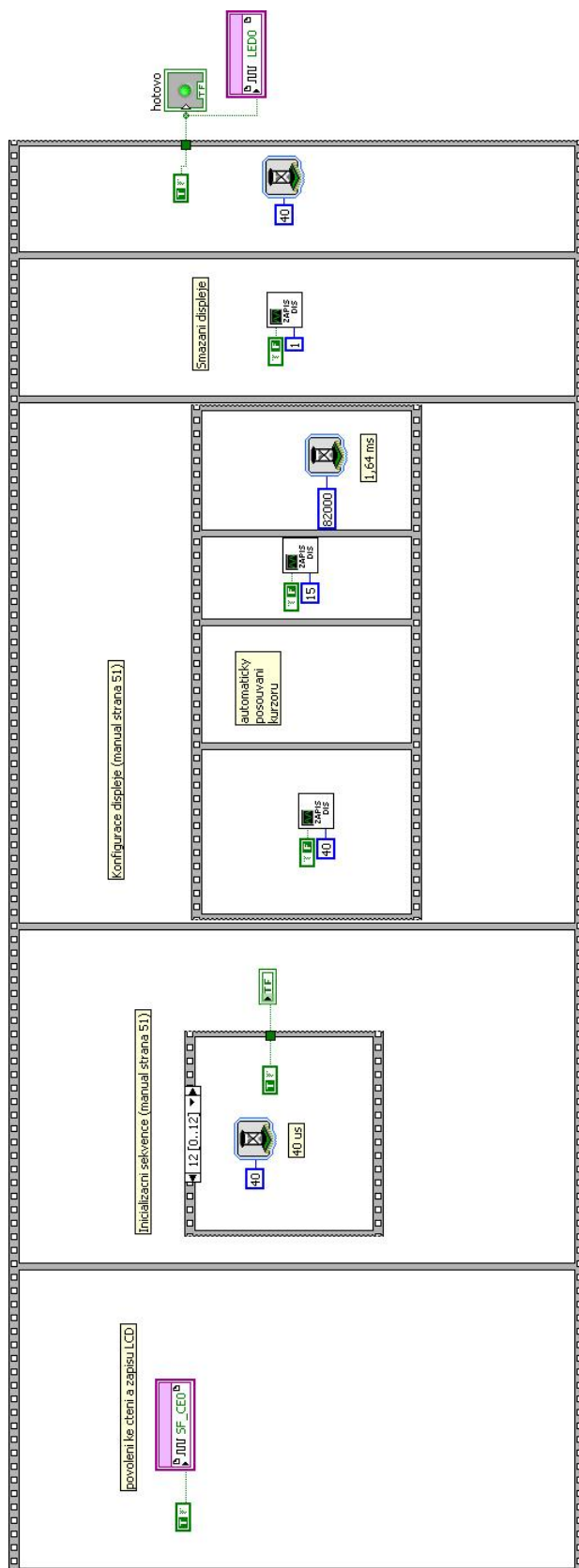
## Příloha A



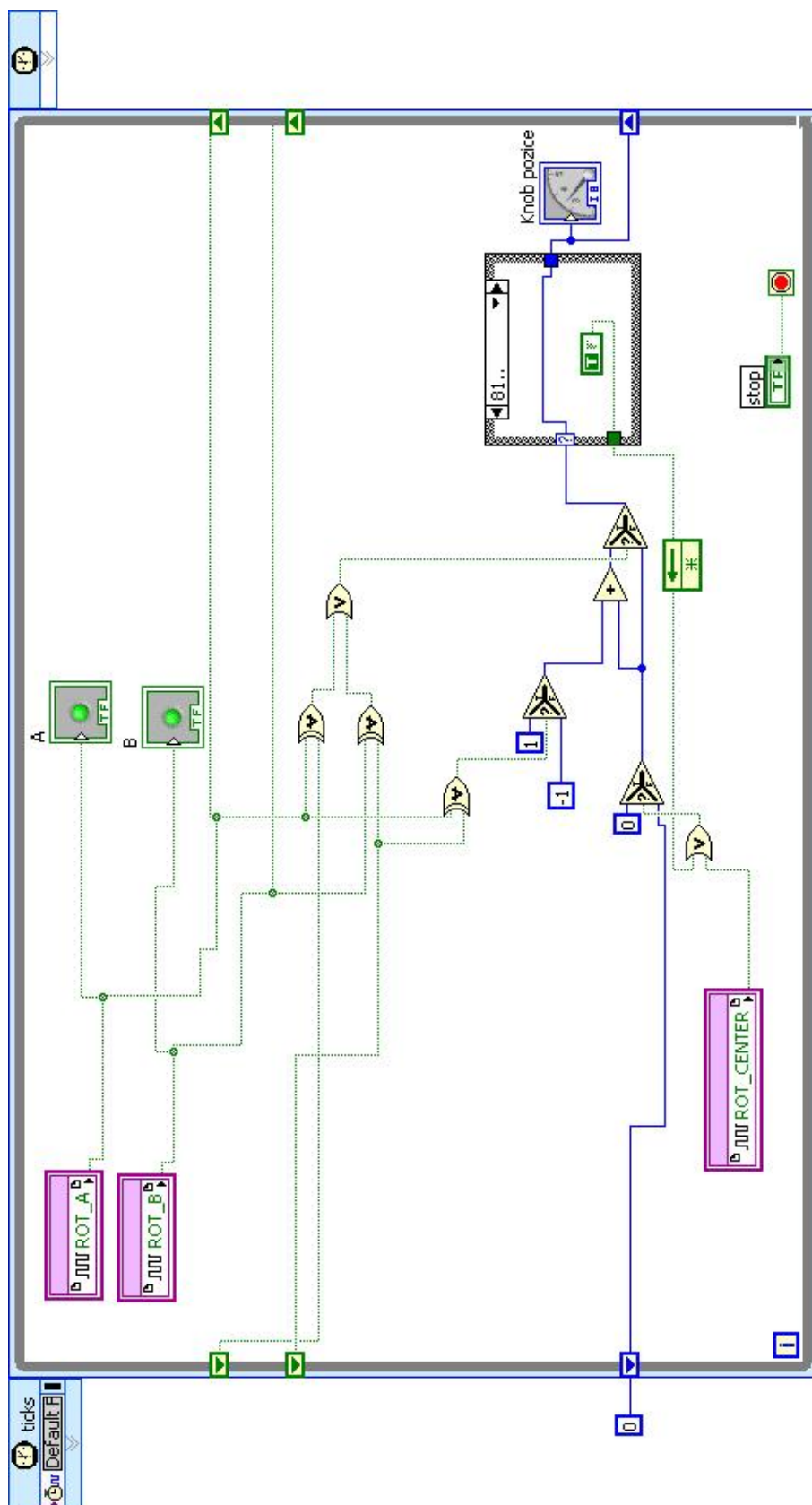
Příloha B



## Příloha C



## Příloha D



## Příloha E

